

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-76119

(P2002-76119A)

(43)公開日 平成14年3月15日(2002.3.15)

(51) Int.Cl.
 H 01 L 21/82
 G 06 F 17/50 6 5 8
 H 01 L 27/04
 21/822

F I
 G 06 F 17/50 6 5 8 K 5 B 0 4 6
 6 5 8 U 5 F 0 3 8
 H 01 L 21/82 C 5 F 0 6 4
 27/04 B
 A

審査請求 未請求 請求項の数11 OL (全 17 頁)

(21)出願番号 特願2000-254356(P2000-254356)
 (22)出願日 平成12年8月24日(2000.8.24)

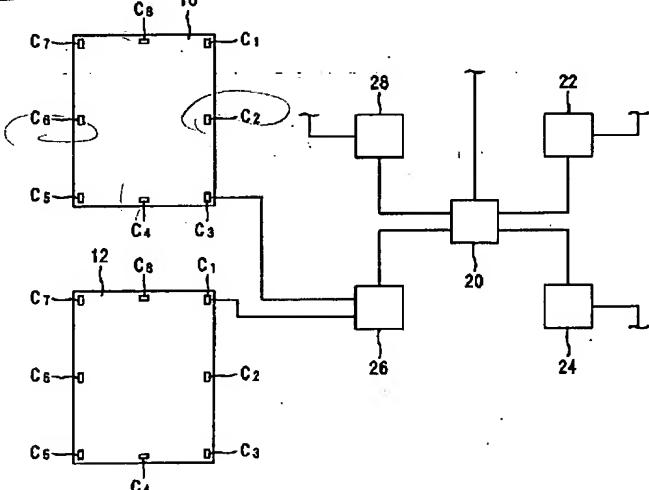
(71)出願人 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (72)発明者 倉島 健司
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
 (74)代理人 100095728
 弁理士 上柳 雅善 (外1名)
 F ターム(参考) 5B046 AA08 BA06
 5F038 CA03 CA17 CD06 CD09 EZ09
 EZ20
 5F064 AA04 BB26 DD25 EE02 EE05
 EE08 EE14 EE47 EE54 HH02
 HH06 HH12

(54)【発明の名称】 ブロックセル、ブロックセルの設計方法及びブロックセルの設計支援装置

(57)【要約】

【課題】 ブロックセルが混在する半導体集積回路において、回路の増加を伴わずにクロック信号のスキューを低減するのに好適なブロックセルの設計方法を提供する。

【解決装置】 クロック端子C₁～C₈をブロックセル10内でその周縁近傍に複数設け、各クロック端子C₁～C₈から入力したクロック信号に基づいて動作するようブロックセル10内を配線する。または、クロック端子Cをブロックセル10内でその中心近傍に設け、ブロックセル10の周縁のうち異なる複数の箇所からクロック端子Cまでクロック信号線を配線するための配線領域L P₁～L P₄をブロックセル10内に設ける。



【特許請求の範囲】

【請求項1】 クロック信号に基づいて動作するブロックセルにおいて、前記クロック信号を入力するためのクロック端子を当該ブロックセル内でその周縁近傍に複数設け、前記各クロック端子から入力したクロック信号に基づいて動作するようになっていることを特徴とするブロックセル。

【請求項2】 請求項1において、前記複数のクロック端子のうちいずれかの端子を、当該ブロックセルの中心位置からみて前記複数のクロック端子のうちそれ以外の端子と対称となる位置に設けたことを特徴とするブロックセル。

【請求項3】 請求項1において、前記複数のクロック端子のうちいずれかの端子を当該ブロックセルの周辺のうち一の辺の近傍に設け、前記複数のクロック端子のうちそれ以外の端子を当該ブロックセルの周辺のうち前記一の辺に對向する辺の近傍に設けたことを特徴とするブロックセル。

【請求項4】 請求項1において、前記クロック端子を当該ブロックセルの異なる角部の近傍にそれぞれ設けたことを特徴とするブロックセル。

【請求項5】 クロック信号に基づいて動作するブロックセルにおいて、前記クロック信号を入力するためのクロック端子を当該ブロックセル内でその中心近傍に設け、当該ブロックセルの周縁のうち異なる複数の箇所から前記クロック端子までクロック信号線を配線するための配線領域を当該ブロックセル内に設けたことを特徴とするブロックセル。

【請求項6】 請求項5において、前記配線領域は、当該ブロックセルの周縁のうちいずれかの箇所から前記クロック端子までクロック信号線を配線するための配線領域と、当該ブロックセルの中心位置からみて当該ブロックセルの周縁のうち前記いずれかの箇所と対称となる位置にある箇所から前記クロック端子までクロック信号線を配線するための配線領域とを含むことを特徴とするブロックセル。

【請求項7】 請求項5において、前記配線領域は、当該ブロックセルの周辺のうち一の辺から前記クロック端子までクロック信号線を配線するための配線領域と、当該ブロックセルの周辺のうち前記一の辺に對向する辺から前記クロック端子までクロック信号線を配線するための配線領域とを含むことを特徴とするブロックセル。

【請求項8】 クロック信号に基づいて動作するブロックセルの設計方法において、前記クロック信号を入力するためのクロック端子を前記ブロックセル内でその周縁近傍に複数設けるクロック端子形成工程と、前記各クロック端子から入力したクロック信号に基づいて前記ブロックセルが動作するように配線を行う配線工程とを含むことを特徴とするブロックセ

ルの設計方法。

【請求項9】 クロック信号に基づいて動作するブロックセルの設計方法において、前記クロック信号を入力するためのクロック端子を前記ブロックセル内でその中心近傍に設けるクロック端子形成工程と、前記ブロックセルの周縁のうち異なる複数の箇所から前記クロック端子までクロック信号線を配線するための配線領域を前記ブロックセル内に設ける配線領域形成工程とを含むことを特徴とするブロックセルの設計方法。

【請求項10】 クロック信号に基づいて動作するブロックセルの設計支援装置において、前記クロック信号を入力するためのクロック端子を前記ブロックセル内でその周縁近傍に複数設けるクロック端子形成手段と、前記各クロック端子から入力したクロック信号に基づいて前記ブロックセルが動作するように配線を行う配線手段とを備えることを特徴とするブロックセルの設計支援装置。

【請求項11】 クロック信号に基づいて動作するブロックセルの設計支援装置において、前記クロック信号を入力するためのクロック端子を前記ブロックセル内でその中心近傍に設けるクロック端子形成手段と、前記ブロックセルの周縁のうち異なる複数の箇所から前記クロック端子までクロック信号線を配線するための配線領域を前記ブロックセル内に設ける配線領域形成手段とを備えることを特徴とするブロックセルの設計支援装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、クロック信号に基づいて動作するブロックセル、ブロックセルの設計方法およびブロックセルの設計支援装置に係り、特に、ブロックセルが混在する半導体集積回路において、回路の増加を伴わずにクロック信号のスキューを低減するのに好適なブロックセル、ブロックセルの設計方法およびブロックセルの設計支援装置に関する。

【0002】

【従来の技術】 近年、一般素子のみのチップだけでなく、RAM/ROMやCPU等のマクロブロックセル（以下、単にブロックセルという。）が混在する半導体集積回路が多く使用されるようになってきた。ここで、ブロックセルとは、あらかじめ配置・配線等の最適化が施され、機能検証が終了しているセルをいう。半導体集積回路においてこれらブロックセルは、クロック信号により他のセルと同期しながら動作する同期システムとして構成される場合が多い。

【0003】 同期システムにおいては、クロック信号の立ち上がり（立ち下がり）のタイミングによって各ブロックセルを動作させているため、クロック信号は、いずれのブロックセルにおいてもまったく同じタイミングで

得られることが回路の正常動作の上で望ましい。しかしながら、実際にはクロック信号を引き回すための配線の抵抗、配線の容量、および接続しているブロックセルの端子容量によって、クロック信号の遅れ（以下、ディレイという。）が生じる。このため、クロック信号の入力箇所から最も近いブロックセルと、最も遠いブロックセルとでは、得ることができるクロック信号に到達時間差（以下、スキーという。）が生じてしまう。回路の正常動作ためにはスキーの最小化が必要不可欠である。そこで、スキーの最小化の方法として、2分木型状（ツリー）配線を用いて配線径路を調整することにより適当にクロック信号を分配する方法が用いられることが多い。

【0004】この方法は、ブロックセル同士を結線してディレイの釣合い点を求め、さらにその釣合い点と別の釣合い点とを結線していきスキーの小さいツリーを構築して、スキー最小のクロック分配配線を得るものである。例えば、特願平3-030721号公報では、スキーが最小となるような点に分歧点を設定して径路を作っている。この配線方法では、多段バッファリングを行ってディレイの低減を図ることができる。配線によるディレイを増加しないように、迂回径路は避け、配線径路長をなるべく短くすることが重要である。

【0005】

【発明が解決しようとする課題】しかしながら、上記多段バッファリングを行う方法にあっても、例えば、図10に示すように、ブロックセル配置の関係上、ブロックセル10、12にクロック信号を分配するクロックバッファ26に対してブロックセル10、12のクロック端子Cが反対側に位置するような場合は、クロックバッファ26からの配線をブロックセル10、12のその反対側まで引き回さなければならない。そして、この引き回しによりスキーが増加するときは、スキーの増加を防止するために、クロックバッファ26とブロックセル10との間、およびクロックバッファ26とブロックセル12との間にそれぞれクロックバッファ21、23を設けなければならない。なお、この場合、ブロックセル10、12は、ゲートアレイ上に形成するセルが含まれていることから、その位置を反転して配置することは、ブロックセル10、12の設計変更を行わない限りすることができない。

【0006】したがって、このような場合、スキーの増加を防止するためには、クロックバッファ21、23等の余分な回路を追加しなければならない場合があり、回路の増加によりコストの増加を招くとともに半導体集積回路の小型化が困難なばかりか、例えば、ブロックセル10、12の周辺を非配置領域としたいという設計要求がある場合には、クロックバッファ21、23を設けることができず、スキーの増加を低減することができない。

【0007】そこで、本発明は、このような従来の技術の有する未解決の課題に着目してなされたものであって、ブロックセルが混在する半導体集積回路において、回路の増加を伴わずにクロック信号のスキーを低減するのに好適なブロックセル、ブロックセルの設計方法およびブロックセルの設計支援装置を提供することを目的としている。

【0008】

【課題を解決するための手段】上記目的を達成するために、本発明に係る請求項1記載のブロックセルは、クロック信号に基づいて動作するブロックセルにおいて、前記クロック信号を入力するためのクロック端子を当該ブロックセル内でその周縁近傍に複数設け、前記各クロック端子から入力したクロック信号に基づいて動作するようになっている。

【0009】このような構成であれば、ブロックセルを配置したときに、そのブロックセルにクロック信号を分配するクロックバッファと、複数のクロック端子のうちそのクロックバッファから最も近くにあるクロック端子とを接続・配線すれば、配線長を小さくすることが可能となる。

【0010】さらに、本発明に係る請求項2記載のブロックセルは、請求項1記載のブロックセルにおいて、前記複数のクロック端子のうちいずれかの端子を、当該ブロックセルの中心位置からみて前記複数のクロック端子のうちそれ以外の端子と対称となる位置に設けた。

【0011】このような構成であれば、少なくとも2つのクロック端子が対称的に設けられているので、ブロックセルを配置したときに、そのブロックセルにクロック信号を分配するクロックバッファからクロック端子までの距離が短くなる可能性があり、クロックバッファとクロック端子とを接続・配線すれば、配線長をさらに小さくすることが可能となる。

【0012】ここで、対称となる位置とは、ブロックセルの中心位置からみてそれ以外の端子と点対称となる位置、またはブロックセルの中心位置を通る線に対してそれ以外の端子と線対称となる位置をいう。

【0013】さらに、本発明に係る請求項3記載のブロックセルは、請求項1記載のブロックセルにおいて、前記複数のクロック端子のうちいずれかの端子を当該ブロックセルの周辺のうち一辺の近傍に設け、前記複数のクロック端子のうちそれ以外の端子を当該ブロックセルの周辺のうち前記一辺に対向する辺の近傍に設けた。

【0014】このような構成であれば、少なくとも2つのクロック端子がブロックセルの一辺の近傍とその反対側の辺の近傍とに設けられているので、ブロックセルを配置したときに、そのブロックセルにクロック信号を分配するクロックバッファからクロック端子までの距離が短くなる可能性があり、クロックバッファとクロック端子とを接続・配線すれば、配線長をさらに小さくするこ

とが可能となる。

【0015】さらに、本発明に係る請求項4記載のブロックセルは、請求項1記載のブロックセルにおいて、前記クロック端子を当該ブロックセルの異なる角部の近傍にそれぞれ設けた。

【0016】このような構成であれば、少なくとも2つのクロック端子がブロックセルの異なる角部の近傍に設けられているので、ブロックセルを配置したときに、そのブロックセルにクロック信号を分配するクロックバッファからクロック端子までの距離が短くなる可能性があり、クロックバッファとクロック端子とを接続・配線すれば、配線長をさらに小さくすることが可能となる。

【0017】さらに、本発明に係る請求項5記載のブロックセルは、クロック信号に基づいて動作するブロックセルにおいて、前記クロック信号を入力するためのクロック端子を当該ブロックセル内でその中心近傍に設け、当該ブロックセルの周縁のうち異なる複数の箇所から前記クロック端子までクロック信号線を配線するための配線領域を当該ブロックセル内に設けた。

【0018】このような構成であれば、ブロックセルを配置したときに、そのブロックセルにクロック信号を分配するクロックバッファからは、そのクロックバッファとクロック端子との距離が最短となるように、ブロックセルの周縁のうち配線領域の入口となる複数の箇所のいずれかを経由してブロックセルの中心近傍に設けられたクロック端子まで配線すれば、配線長を小さくすることが可能となる。

【0019】さらに、本発明に係る請求項6記載のブロックセルは、請求項5記載のブロックセルにおいて、前記配線領域は、当該ブロックセルの周縁のうちいずれかの箇所から前記クロック端子までクロック信号線を配線するための配線領域と、当該ブロックセルの中心位置からみて当該ブロックセルの周縁のうち前記いずれかの箇所と対称となる位置にある箇所から前記クロック端子までクロック信号線を配線するための配線領域とを含む。

【0020】このような構成であれば、ブロックセルの周縁のうち配線領域の入口となる少なくとも2つの箇所が対称的に配置されているので、ブロックセルを配置したときに、そのブロックセルにクロック信号を分配するクロックバッファからクロック端子までの距離が短くなる可能性があり、クロックバッファとクロック端子とを接続・配線すれば、配線長をさらに小さくすることが可能となる。

【0021】ここで、対称となる位置とは、ブロックセルの中心位置からみてそのいずれかの箇所と点対称となる位置、またはブロックセルの中心位置を通る線に対してそのいずれかの箇所と線対称となる位置をいう。

【0022】さらに、本発明に係る請求項7記載のブロックセルは、請求項5記載のブロックセルにおいて、前記配線領域は、当該ブロックセルの周辺のうち一の辺か

ら前記クロック端子までクロック信号線を配線するための配線領域と、当該ブロックセルの周辺のうち前記一の辺に対向する辺から前記クロック端子までクロック信号線を配線するための配線領域とを含む。

【0023】このような構成であれば、ブロックセルの周縁のうち配線領域の入口となる少なくとも2つの箇所がブロックセルの一辺の近傍とその反対側の辺の近傍とに設けられているので、ブロックセルを配置したときに、そのブロックセルにクロック信号を分配するクロックバッファからクロック端子までの距離が短くなる可能性があり、クロックバッファとクロック端子とを接続・配線すれば、配線長をさらに小さくすることが可能となる。

【0024】一方、上記目的を達成するために、本発明に係る請求項8記載のブロックセルの設計方法は、クロック信号に基づいて動作するブロックセルの設計方法において、前記クロック信号を入力するためのクロック端子を前記ブロックセル内でその周縁近傍に複数設けるクロック端子形成工程と、前記各クロック端子から入力したクロック信号に基づいて前記ブロックセルが動作するように配線を行う配線工程とを含む。

【0025】このような方法であれば、クロック端子形成工程を経て、クロック端子がブロックセルの周縁近傍に複数設けられ、配線工程を経て、クロック端子から入力したクロック信号に基づいてブロックセルが動作するように配線が行われる。

【0026】ここで、クロック端子形成工程は、クロック端子をブロックセル内でその周縁近傍に複数設ける工程であればどのような工程であってもよいが、具体的には、例えば、次のような方法が挙げられる。すなわち、上記請求項8記載のブロックセルの設計方法において、前記クロック端子形成工程は、前記複数のクロック端子のうちいずれかの端子を、前記ブロックセルの中心位置からみて前記複数のクロック端子のうちそれ以外の端子と対称となる位置に設ける。

【0027】このような方法であれば、クロック端子形成工程を経て、いずれかのクロック端子がブロックセルの中心位置からみてそれ以外のクロック端子と対称となる位置に設けられる。

【0028】したがって、少なくとも2つのクロック端子が対称的に設けられているので、ブロックセルを配置したときに、そのブロックセルにクロック信号を分配するクロックバッファからクロック端子までの距離が短くなる可能性があり、クロックバッファとクロック端子とを接続・配線すれば、配線長をさらに小さくすることができるので、クロック信号のスキーをさらに低減することができるという効果が得られる。

【0029】また、クロック端子形成工程は、クロック端子をブロックセル内でその周縁近傍に複数設ける工程であればどのような工程であってもよいが、具体的に

は、例えば、次のような方法が挙げられる。すなわち、上記請求項8記載のブロックセルの設計方法において、前記クロック端子形成工程は、前記複数のクロック端子のうちいずれかの端子を前記ブロックセルの周辺のうち一の辺の近傍に設け、前記複数のクロック端子のうちそれ以外の端子を前記ブロックセルの周辺のうち前記一の辺に対向する辺の近傍に設ける。

【0030】このような方法であれば、クロック端子形成工程を経て、いずれかのクロック端子がブロックセルの一の辺の近傍に設けられ、それ以外のクロック端子がブロックセルのその一の辺に対向する辺の近傍に設けられる。

【0031】したがって、少なくとも2つのクロック端子がブロックセルの一辺の近傍とその反対側の辺の近傍とに設けられているので、ブロックセルを配置したときに、そのブロックセルにクロック信号を分配するクロックバッファからクロック端子までの距離が短くなる可能性があり、クロックバッファとクロック端子とを接続・配線すれば、配線長をさらに小さくすることができるので、クロック信号のスキーをさらに低減することができるという効果が得られる。

【0032】また、クロック端子形成工程は、クロック端子をブロックセル内でその周縁近傍に複数設ける工程であればどのような工程であってもよいが、具体的には、例えば、次のような方法が挙げられる。すなわち、上記請求項8記載のブロックセルの設計方法において、前記クロック端子形成工程は、前記クロック端子を前記ブロックセルの異なる角部の近傍にそれぞれ設ける。

【0033】このような方法であれば、クロック端子形成工程を経て、クロック端子がブロックセルの異なる角部の近傍にそれぞれ設けられる。

【0034】したがって、少なくとも2つのクロック端子がブロックセルの異なる角部の近傍に設けられているので、ブロックセルを配置したときに、そのブロックセルにクロック信号を分配するクロックバッファからクロック端子までの距離が短くなる可能性があり、クロックバッファとクロック端子とを接続・配線すれば、配線長をさらに小さくすることができるので、クロック信号のスキーをさらに低減することができるという効果が得られる。

【0035】さらに、本発明に係る請求項9記載のブロックセルの設計方法は、クロック信号に基づいて動作するブロックセルの設計方法において、前記クロック信号を入力するためのクロック端子を前記ブロックセル内での中心近傍に設けるクロック端子形成工程と、前記ブロックセルの周縁のうち異なる複数の箇所から前記クロック端子までクロック信号線を配線するための配線領域を前記ブロックセル内に設ける配線領域形成工程とを含む。

【0036】このような方法であれば、クロック端子形

成工程を経て、クロック端子がブロックセルの中心近傍に設けられ、配線領域形成工程を経て、ブロックセルの周縁のうち異なる複数の箇所からクロック端子までクロック信号線を配線するための配線領域がブロックセル内に設けられる。

【0037】ここで、配線領域形成工程は、ブロックセルの周縁のうち異なる複数の箇所からクロック端子までクロック信号線を配線するための配線領域をブロックセル内に設ける工程であればどのような工程であってもよいが、具体的には、例えば、次のような方法が挙げられる。すなわち、上記請求項9記載のブロックセルの設計方法において、前記配線領域形成工程は、前記ブロックセルの周縁のうちいずれかの箇所から前記クロック端子までクロック信号線を配線するための配線領域と、前記ブロックセルの中心位置からみて前記ブロックセルの周縁のうち前記いずれかの箇所と対称となる位置にある箇所から前記クロック端子までクロック信号線を配線するための配線領域とを前記ブロックセル内に設ける。

【0038】このような方法であれば、配線領域形成工程を経て、ブロックセルの周縁のうちいずれかの箇所からクロック端子までクロック信号線を配線するための配線領域と、ブロックセルの中心位置からみてブロックセルの周縁のうちそのいずれかの箇所と対称となる位置にある箇所からクロック端子までクロック信号線を配線するための配線領域とがブロックセル内に設けられる。

【0039】したがって、ブロックセルの周縁のうち配線領域の入口となる少なくとも2つの箇所が対称的に配置されているので、ブロックセルを配置したときに、そのブロックセルにクロック信号を分配するクロックバッファからクロック端子までの距離が短くなる可能性があり、クロックバッファとクロック端子とを接続・配線すれば、配線長をさらに小さくすることができるので、クロック信号のスキーをさらに低減することができるという効果が得られる。

【0040】また、配線領域形成工程は、ブロックセルの周縁のうち異なる複数の箇所からクロック端子までクロック信号線を配線するための配線領域をブロックセル内に設ける工程であればどのような工程であってもよいが、具体的には、例えば、次のような方法が挙げられる。すなわち、上記請求項9記載のブロックセルの設計方法において、前記配線領域形成工程は、前記ブロックセルの周辺のうち一の辺から前記クロック端子までクロック信号線を配線するための配線領域と、前記ブロックセルの周辺のうち前記一の辺に対向する辺から前記クロック端子までクロック信号線を配線するための配線領域とを前記ブロックセル内に設ける。

【0041】このような方法であれば、配線領域形成工程を経て、ブロックセルの一の辺からクロック端子までクロック信号線を配線するための配線領域と、ブロックセルのその一の辺に対向する辺からクロック端子までク

ロック信号線を配線するための配線領域とがブロックセル内に設けられる。

【0042】したがって、ブロックセルの周縁のうち配線領域の入口となる少なくとも2つの箇所がブロックセルの一辺の近傍とその反対側の辺の近傍とに設けられているので、ブロックセルを配置したときに、そのブロックセルにクロック信号を分配するクロックバッファからクロック端子までの距離が短くなる可能性があり、クロックバッファとクロック端子とを接続・配線すれば、配線長をさらに小さくすることができるので、クロック信号のスキーをさらに低減することができるという効果が得られる。

【0043】一方、上記目的を達成するために、本発明に係る請求項10記載のブロックセルの設計支援装置は、クロック信号に基づいて動作するブロックセルの設計支援装置において、前記クロック信号を入力するためのクロック端子を前記ブロックセル内でその周縁近傍に複数設けるクロック端子形成手段と、前記各クロック端子から入力したクロック信号に基づいて前記ブロックセルが動作するように配線を行う配線手段とを備える。

【0044】このような構成であれば、クロック端子形成手段により、クロック端子がブロックセルの周縁近傍に複数設けられ、配線手段により、クロック端子から入力したクロック信号に基づいてブロックセルが動作するように配線が行われる。

【0045】ここで、クロック端子形成手段は、クロック端子をブロックセル内でその周縁近傍に複数設けるようになっていればどのような構成であってもよいが、具体的には、例えば、次のような構成が挙げられる。すなわち、上記請求項10記載のブロックセルの設計支援装置において、前記クロック端子形成手段は、前記複数のクロック端子のうちいずれかの端子を、前記ブロックセルの中心位置からみて前記複数のクロック端子のうちそれ以外の端子と対称となる位置に設けるようになっている。

【0046】このような構成であれば、クロック端子形成手段により、いずれかのクロック端子がブロックセルの中心位置からみてそれ以外のクロック端子と対称となる位置に設けられる。

【0047】したがって、少なくとも2つのクロック端子が対称的に設けられているので、ブロックセルを配置したときに、そのブロックセルにクロック信号を分配するクロックバッファからクロック端子までの距離が短くなる可能性があり、クロックバッファとクロック端子とを接続・配線すれば、配線長をさらに小さくすることができるので、クロック信号のスキーをさらに低減することができるという効果が得られる。

【0048】また、クロック端子形成手段は、クロック端子をブロックセル内でその周縁近傍に複数設けるようになっていればどのような構成であってもよいが、具体

的には、例えば、次のような構成が挙げられる。すなわち、上記請求項10記載のブロックセルの設計支援装置において、前記クロック端子形成手段は、前記複数のクロック端子のうちいずれかの端子を前記ブロックセルの周縁のうち一の辺の近傍に設け、前記複数のクロック端子のうちそれ以外の端子を前記ブロックセルの周縁のうち前記一の辺に対向する辺の近傍に設けるようになっている。

【0049】このような構成であれば、クロック端子形成手段により、いずれかのクロック端子がブロックセルの一の辺の近傍に設けられ、それ以外のクロック端子がブロックセルのその一の辺に対向する辺の近傍に設けられる。

【0050】したがって、少なくとも2つのクロック端子がブロックセルの一辺の近傍とその反対側の辺の近傍とに設けられているので、ブロックセルを配置したときに、そのブロックセルにクロック信号を分配するクロックバッファからクロック端子までの距離が短くなる可能性があり、クロックバッファとクロック端子とを接続・配線すれば、配線長をさらに小さくすることができるので、クロック信号のスキーをさらに低減することができるという効果が得られる。

【0051】また、クロック端子形成手段は、クロック端子をブロックセル内でその周縁近傍に複数設けるようになっていればどのような構成であってもよいが、具体的には、例えば、次のような構成が挙げられる。すなわち、上記請求項10記載のブロックセルの設計支援装置において、前記クロック端子形成手段は、前記クロック端子を前記ブロックセルの異なる角部の近傍にそれぞれ設ける。

【0052】このような構成であれば、クロック端子形成手段により、クロック端子がブロックセルの異なる角部の近傍にそれぞれ設けられる。

【0053】したがって、少なくとも2つのクロック端子がブロックセルの異なる角部の近傍に設けられているので、ブロックセルを配置したときに、そのブロックセルにクロック信号を分配するクロックバッファからクロック端子までの距離が短くなる可能性があり、クロックバッファとクロック端子とを接続・配線すれば、配線長をさらに小さくすることができるので、クロック信号のスキーをさらに低減することができるという効果が得られる。

【0054】さらに、本発明に係る請求項11記載のブロックセルの設計支援装置は、クロック信号に基づいて動作するブロックセルの設計支援装置において、前記クロック信号を入力するためのクロック端子を前記ブロックセル内でその中心近傍に設けるクロック端子形成手段と、前記ブロックセルの周縁のうち異なる複数の箇所から前記クロック端子までクロック信号線を配線するための配線領域を前記ブロックセル内に設ける配線領域形成

手段とを備える。

【0055】このような構成であれば、クロック端子形成手段により、クロック端子がブロックセルの中心近傍に設けられ、配線領域形成手段により、ブロックセルの周縁のうち異なる複数の箇所からクロック端子までクロック信号線を配線するための配線領域がブロックセル内に設けられる。

【0056】ここで、配線領域形成手段は、ブロックセルの周縁のうち異なる複数の箇所からクロック端子までクロック信号線を配線するための配線領域をブロックセル内に設けるようになつていればどのような構成であつてもよいが、具体的には、例えば、次のような構成が挙げられる。すなわち、上記請求項11記載のブロックセルの設計支援装置において、前記配線領域形成手段は、前記ブロックセルの周縁のうちいずれかの箇所から前記クロック端子までクロック信号線を配線するための配線領域と、前記ブロックセルの中心位置からみて前記ブロックセルの周縁のうち前記いずれかの箇所と対称となる位置にある箇所から前記クロック端子までクロック信号線を配線するための配線領域とを前記ブロックセル内に設けるようになっている。

【0057】このような構成であれば、配線領域形成手段により、ブロックセルの周縁のうちいずれかの箇所からクロック端子までクロック信号線を配線するための配線領域と、ブロックセルの中心位置からみてブロックセルの周縁のうちそのいずれかの箇所と対称となる位置にある箇所からクロック端子までクロック信号線を配線するための配線領域とがブロックセル内に設けられる。

【0058】したがって、ブロックセルの周縁のうち配線領域の入口となる少なくとも2つの箇所が対称的に配置されているので、ブロックセルを配置したときに、そのブロックセルにクロック信号を分配するクロックバッファからクロック端子までの距離が短くなる可能性があり、クロックバッファとクロック端子とを接続・配線すれば、配線長をさらに小さくすることができるので、クロック信号のスキーをさらに低減することができるという効果が得られる。

【0059】また、配線領域形成手段は、ブロックセルの周縁のうち異なる複数の箇所からクロック端子までクロック信号線を配線するための配線領域をブロックセル内に設けるようになつていればどのような構成であつてもよいが、具体的には、例えば、次のような構成が挙げられる。すなわち、上記請求項11記載のブロックセルの設計支援装置において、前記配線領域形成手段は、前記ブロックセルの周辺のうち一の辺から前記クロック端子までクロック信号線を配線するための配線領域と、前記ブロックセルの周辺のうち前記一の辺に対向する辺から前記クロック端子までクロック信号線を配線するための配線領域とを前記ブロックセル内に設けるようになっている。

【0060】このような構成であれば、配線領域形成手段により、ブロックセルの一の辺からクロック端子までクロック信号線を配線するための配線領域と、ブロックセルのその一の辺に対向する辺からクロック端子までクロック信号線を配線するための配線領域とがブロックセル内に設けられる。

【0061】したがって、ブロックセルの周縁のうち配線領域の入口となる少なくとも2つの箇所がブロックセルの一辺の近傍とその反対側の辺の近傍とに設けられているので、ブロックセルを配置したときに、そのブロックセルにクロック信号を分配するクロックバッファからクロック端子までの距離が短くなる可能性があり、クロックバッファとクロック端子とを接続・配線すれば、配線長をさらに小さくすることができるので、クロック信号のスキーをさらに低減することができるという効果が得られる。

【0062】以上では、上記目的を達成するためのブロックセル、ブロックセルの設計方法およびブロックセルの設計支援装置を提案したが、これに限らず、上記目的を達成するために、次に掲げる第1ないし第7のブロックセルの設計支援プログラムを記憶した記憶媒体を提案することもできる。

【0063】第1のブロックセルの設計支援プログラムを記憶した記憶媒体は、クロック信号に基づいて動作するブロックセルの設計支援プログラムを記憶した記憶媒体であつて、前記クロック信号を入力するためのクロック端子を前記ブロックセル内でその周縁近傍に複数設けるクロック端子形成手段と、前記各クロック端子から入力したクロック信号に基づいて前記ブロックセルが動作するように配線を行う配線手段として、コンピュータを機能させるためのプログラムを記憶したコンピュータ読み取り可能な記憶媒体である。

【0064】このような構成であれば、記憶媒体に記憶されたプログラムがコンピュータによって読み取られ、読み取られたプログラムに従ってコンピュータが機能したときは、請求項10記載のブロックセルの設計支援装置と同様の作用および効果が得られる。

【0065】第2のブロックセルの設計支援プログラムを記憶した記憶媒体は、上記第1のブロックセルの設計支援プログラムにおいて、前記クロック端子形成手段は、前記複数のクロック端子のうちいずれかの端子を、前記ブロックセルの中心位置からみて前記複数のクロック端子のうちそれ以外の端子と対称となる位置に設けるようになっている。

【0066】このような構成であれば、記憶媒体に記憶されたプログラムがコンピュータによって読み取られ、読み取られたプログラムに従ってコンピュータが機能したときは、クロック端子形成手段により、クロック端子形成手段により、いずれかのクロック端子がブロックセルの中心位置からみてそれ以外のクロック端子と対称と

なる位置に設けられる。

【0067】したがって、少なくとも2つのクロック端子が対称的に設けられているので、ブロックセルを配置したときに、そのブロックセルにクロック信号を分配するクロックバッファからクロック端子までの距離が短くなる可能性があり、クロックバッファとクロック端子とを接続・配線すれば、配線長をさらに小さくすることができるので、クロック信号のスキーをさらに低減することができるという効果が得られる。

【0068】第3のブロックセルの設計支援プログラムを記憶した記憶媒体は、上記第1のブロックセルの設計支援プログラムにおいて、前記クロック端子形成手段は、前記複数のクロック端子のうちいずれかの端子を前記ブロックセルの周辺のうち一の辺の近傍に設け、前記複数のクロック端子のうちそれ以外の端子を前記ブロックセルの周辺のうち前記一の辺に対向する辺の近傍に設けるようになっている。

【0069】このような構成であれば、記憶媒体に記憶されたプログラムがコンピュータによって読み取られ、読み取られたプログラムに従ってコンピュータが機能したときは、クロック端子形成手段により、いずれかのクロック端子がブロックセルの一の辺の近傍に設けられ、それ以外のクロック端子がブロックセルのその一の辺に對向する辺の近傍に設けられる。

【0070】したがって、少なくとも2つのクロック端子がブロックセルの一辺の近傍とその反対側の辺の近傍とに設けられているので、ブロックセルを配置したときに、そのブロックセルにクロック信号を分配するクロックバッファからクロック端子までの距離が短くなる可能性があり、クロックバッファとクロック端子とを接続・配線すれば、配線長をさらに小さくすることができるので、クロック信号のスキーをさらに低減することができるという効果が得られる。

【0071】第4のブロックセルの設計支援プログラムを記憶した記憶媒体は、上記第1のブロックセルの設計支援プログラムにおいて、前記クロック端子形成手段は、前記クロック端子を前記ブロックセルの異なる角部の近傍にそれぞれ設けるようになっている。

【0072】このような構成であれば、記憶媒体に記憶されたプログラムがコンピュータによって読み取られ、読み取られたプログラムに従ってコンピュータが機能したときは、クロック端子形成手段により、クロック端子がブロックセルの異なる角部の近傍にそれぞれ設けられる。

【0073】したがって、少なくとも2つのクロック端子がブロックセルの異なる角部の近傍に設けられているので、ブロックセルを配置したときに、そのブロックセルにクロック信号を分配するクロックバッファからクロック端子までの距離が短くなる可能性があり、クロックバッファとクロック端子とを接続・配線すれば、配線長

をさらに小さくすることができるので、クロック信号のスキーをさらに低減することができるという効果が得られる。

【0074】第5のブロックセルの設計支援プログラムを記憶した記憶媒体は、クロック信号に基づいて動作するブロックセルの設計支援プログラムを記憶した記憶媒体であって、前記クロック信号を入力するためのクロック端子を前記ブロックセル内でその中心近傍に設けるクロック端子形成手段と、前記ブロックセルの周縁のうち異なる複数の箇所から前記クロック端子までクロック信号線を配線するための配線領域を前記ブロックセル内に設ける配線領域形成手段として、コンピュータを機能させるためのプログラムを記憶したコンピュータ読み取り可能な記憶媒体である。

【0075】このような構成であれば、記憶媒体に記憶されたプログラムがコンピュータによって読み取られ、読み取られたプログラムに従ってコンピュータが機能したときは、請求項11記載のブロックセルの設計支援装置と同様の作用および効果が得られる。

【0076】第6のブロックセルの設計支援プログラムを記憶した記憶媒体は、上記第5のブロックセルの設計支援プログラムにおいて、前記配線領域形成手段は、前記ブロックセルの周縁のうちいずれかの箇所から前記クロック端子までクロック信号線を配線するための配線領域と、前記ブロックセルの中心位置からみて前記ブロックセルの周縁のうち前記いずれかの箇所と対称となる位置にある箇所から前記クロック端子までクロック信号線を配線するための配線領域とを前記ブロックセル内に設けるようになっている。

【0077】このような構成であれば、記憶媒体に記憶されたプログラムがコンピュータによって読み取られ、読み取られたプログラムに従ってコンピュータが機能したときは、配線領域形成手段により、ブロックセルの周縁のうちいずれかの箇所からクロック端子までクロック信号線を配線するための配線領域と、ブロックセルの中心位置からみてブロックセルの周縁のうちそのいずれかの箇所と対称となる位置にある箇所からクロック端子までクロック信号線を配線するための配線領域とがブロックセル内に設けられる。

【0078】したがって、ブロックセルの周縁のうち配線領域の入口となる少なくとも2つの箇所が対称的に配置されているので、ブロックセルを配置したときに、そのブロックセルにクロック信号を分配するクロックバッファからクロック端子までの距離が短くなる可能性があり、クロックバッファとクロック端子とを接続・配線すれば、配線長をさらに小さくすることができるので、クロック信号のスキーをさらに低減することができるという効果が得られる。

【0079】第7のブロックセルの設計支援プログラムを記憶した記憶媒体は、上記第5のブロックセルの設計

支援プログラムにおいて、前記配線領域形成手段は、前記ブロックセルの周辺のうち一の辺から前記クロック端子までクロック信号線を配線するための配線領域と、前記ブロックセルの周辺のうち前記一の辺に對向する辺から前記クロック端子までクロック信号線を配線するための配線領域とを前記ブロックセル内に設けるようになっている。

【0080】このような構成であれば、記憶媒体に記憶されたプログラムがコンピュータによって読み取られ、読み取られたプログラムに従ってコンピュータが機能したときは、配線領域形成手段により、ブロックセルの一の辺からクロック端子までクロック信号線を配線するための配線領域と、ブロックセルのその一の辺に對向する辺からクロック端子までクロック信号線を配線するための配線領域とがブロックセル内に設けられる。

【0081】したがって、ブロックセルの周縁のうち配線領域の入口となる少なくとも2つの箇所がブロックセルの一辺の近傍とその反対側の辺の近傍とに設けられているので、ブロックセルを配置したときに、そのブロックセルにクロック信号を分配するクロックバッファからクロック端子までの距離が短くなる可能性があり、クロックバッファとクロック端子とを接続・配線すれば、配線長をさらに小さくすることができるので、クロック信号のスキーをさらに低減することができるという効果が得られる。

【0082】

【発明の実施の形態】以下、本発明の第1の実施の形態を図面を参照しながら説明する。図1ないし図4は、本発明に係るブロックセル、ブロックセルの設計方法およびブロックセルの設計支援装置の第1の実施の形態を示す図である。

【0083】本実施の形態は、本発明に係るブロックセル、ブロックセルの設計方法およびブロックセルの設計支援装置を、図3に示すように、クロック信号に基づいて動作するブロックセル10においてクロック端子Cをブロックセル10内でその周縁近傍に複数設けることにより、ブロックセル10を配置したときに、ブロックセル10とクロックバッファ26との配線長を小さくし、クロック信号のスキーを低減する場合について適用したものである。

【0084】まず、本発明を適用するコンピュータシステムの構成を図1を参照しながら説明する。図1は、本発明を適用するコンピュータシステムの構成を示すブロック図である。

【0085】コンピュータ100は、図1に示すように、制御プログラムに基づいて演算およびシステム全体を制御するCPU30と、所定領域にあらかじめCPU30の制御プログラム等を格納しているROM32と、ROM32等から読み出したデータやCPU30の演算過程で必要な演算結果を格納するためのRAM34と、

RAM34の特定領域に格納されているデータを画像信号に変換して表示装置34に出力するCRT36と、外部装置に対してデータの入出力を媒介するI/F38とで構成されており、これらは、データを転送するための信号線であるバス39で相互にかつデータ授受可能に接続されている。

【0086】I/F38には、外部装置として、ヒューマンインターフェースとしてデータの入力が可能なキーボードやマウス等からなる入力装置40と、データやテープ等をファイルとして格納する記憶装置42と、画像信号に基づいて画面を表示する表示装置44とが接続されている。

【0087】RAM34は、特定領域として、表示装置44に表示するための表示用データを格納するVRAM35を有しており、VRAM35は、CPU30とCRT36とで独立にアクセスが可能となっている。

【0088】CRT36は、VRAM35に格納されている表示用データを先頭アドレスから所定周期で順次読み出し、読み出した表示用データを画像信号に変換して表示装置44に出力するようになっている。

【0089】記憶装置42は、あらかじめ配置・配線等の最適化が施され、機能検証が終了しているブロックセル10を構成するための配置データを記憶するためのセルライブラリとしての役割を有する。

【0090】CPU30は、マイクロプロセッsingユニットMPU等からなり、半導体集積回路を設計するときは、ROM32の所定領域に格納されている所定のプログラムを起動させ、そのプログラムに従って、図2のフローチャートに示す設計支援処理を実行するようになっている。図2は、設計支援処理を示すフローチャートである。

【0091】設計支援処理は、半導体集積回路のうち半導体チップを製造するために必要なチップマスクパターンデータと、半導体集積回路のうち配線パターンを形成するのに必要な配線マスクパターンデータとを生成する処理であって、CPU30において実行されると、図2に示すように、まず、ステップS100に移行する。

【0092】ステップS100では、ブロックセル10の配置データを記憶装置42から読み出し、クロック信号を入力するためのクロック端子Cをブロックセル10内でその周縁近傍に複数設けるとともに、読み出した配置データに基づいてブロックセル10内の各セルを配置する。なお、ここでの配置は、コンピュータ100上で仮想的に形成した空間において行われるものである。以下、ブロックセル10内の配線、ブロックセル10の配置・配線について同じである。

【0093】具体的に、このステップS100では、例えば、図3に示すように、クロック端子C₂、C₄、C₆、C₈をブロックセル10の各辺中央の近傍にそれぞれ一つずつ設けるとともに、クロック端子C₁、C₃、C₅、C₇を各辺の端部にそれぞれ一つずつ設ける。

5, C₇をブロックセル10の各角部の近傍にそれぞれ一つずつ設ける。図3は、ブロックセル10の構成を示す図である。

【0094】次いで、ステップS102に移行して、読み出した配置データに基づいてブロックセル10内の各セルを配線し、この際に、各クロック端子C₁～C₈から入力したクロック信号に基づいてブロックセル10が動作するようにブロックセル10内を配線し、ステップS104に移行する。

【0095】ステップS104では、すべてのブロックセル10の構成が終了したか否かを判定し、すべてのブロックセル10の構成が終了したと判定されたとき(Yes)は、ステップS106に移行して、自動配線アルゴリズム等により、半導体チップのセル配置領域に各ブロックセル10およびクロックバッファ等を配置するとともに、ブロックセル10にクロック信号を分配するクロックバッファと、ブロックセル10のクロック端子C₁～C₈のうちそのクロックバッファから最も近くにあるクロック端子とを接続・配線し、ステップS108に移行する。

【0096】ステップS108では、ステップS100, S102, S106での配置・配線結果に基づいて、チップマスクパターンデータおよび配線マスクパターンデータを生成し、ステップS110に移行して、生成したチップマスクパターンデータおよび配線マスクパターンデータを記憶装置42に格納し、一連の処理を終了する。

【0097】一方、ステップS104で、すべてのブロックセル10の構成が終了しないと判定されたとき(No)は、ステップS100に移行する。

【0098】次に、上記第1の実施の形態の動作を図4を参照しながら説明する。図4は、本実施の形態により設計したブロックセル10, 12を配置・配線した状態を示す平面図である。

【0099】ブロックセルを用いて半導体集積回路を設計する場合、設計者は、記憶装置42のなかから所望の機能を有するブロックセルを選択するとともに、実現しようとする半導体集積回路の機能に対応して上記選択したブロックセルについて接続関係を規定する。ここでは、図4に示すように、ブロックセルとしてブロックセル10, 12を選択するものとする。

【0100】このようにブロックセルを選択し、接続関係を規定すると、ステップS100を経て、CPU30により、ブロックセル10の配置データが記憶装置42から読み出され、クロック端子Cがブロックセル10内でその周縁近傍に複数設けられるとともに、読み出された配置データに基づいてブロックセル10内の各セルが配置される。このクロック端子Cの形成では、クロック端子C₂, C₄, C₆, C₈がブロックセル10の各辺中央の近傍にそれぞれ一つずつ設けられるとともに、クロッ

ク端子C₁, C₃, C₅, C₇がブロックセル10の各角部の近傍にそれぞれ一つずつ設けられる。

【0101】次いで、ステップS102を経て、読み出された配置データに基づいてブロックセル10内の各セルが配線され、この際に、各クロック端子C₁～C₈から入力したクロック信号に基づいてブロックセル10が動作するようにブロックセル10内が配線される。】

【0102】よって、これら一連の処理により、ブロックセル10が構成される。なお、これら一連の処理は、ブロックセル12についても同様に行われる。

【0103】次いで、ステップS106を経て、自動配線アルゴリズム等により、半導体チップのセル配置領域に各ブロックセル10, 12およびクロックバッファ等が配置されるとともに、ブロックセル10, 12にクロック信号を分配するクロックバッファと、ブロックセル10, 12のクロック端子C₁～C₈のうちそのクロックバッファから最も近くにあるクロック端子とが接続・配線される。

【0104】図4の例では、まず、ルートクロックバッファ20と、クロックバッファ22～26と、ブロックセル10, 12とが配置される。そして、ルートクロックバッファ20と各クロックバッファ22～26とが接続・配線され、クロックバッファ26と、ブロックセル10のクロック端子C₁～C₈のうちクロックバッファ26から最も近くにあるクロック端子C₃とが接続・配線されるとともに、クロックバッファ26と、ブロックセル12のクロック端子C₁～C₈のうちクロックバッファ26から最も近くにあるクロック端子C₁とが接続・配線される。

【0105】次いで、ステップS108, S110を経て、ステップS100, S102, S106での配置・配線結果に基づいて、チップマスクパターンデータおよび配線マスクパターンデータが生成され、生成されたチップマスクパターンデータおよび配線マスクパターンデータが記憶装置42に格納される。

【0106】そして、チップマスクパターンデータおよび配線マスクパターンデータに基づいて、半導体集積回路が製造される。具体的には、チップマスクパターンデータに基づいて製造されたマスクパターンにより、スタンダードセルおよびベーシックセルのバルク層が基板上に形成されることで、半導体チップが製造される。そして、配線マスクパターンデータに基づいて製造されたマスクパターンにより、スタンダードセルおよびベーシックセルを配線する配線層が、製造された半導体チップ上に形成されることで、半導体集積回路が製造される。

【0107】このようにして、本実施の形態では、クロック端子C₁～C₈がブロックセル10内でその周縁近傍に複数設け、各クロック端子C₁～C₈から入力したクロック信号に基づいて動作するようにブロックセル10内を配線するようにした。

1-4

【0108】これにより、ブロックセル10を配置したときに、ブロックセル10にクロック信号を分配するクロックバッファ12と、クロック端子C₁～C₈のうちクロックバッファ26から最も近くにあるクロック端子C₃とを接続・配線すれば、従来に比して、配線長を小さくすることができるので、余分な回路を追加することなく、クロック信号のスキューを低減することができる。

【0109】さらに、本実施の形態では、クロック端子C₂、C₄、C₆、C₈をブロックセル10の各辺中央の近傍にそれぞれ一つずつ設けるとともに、クロック端子C₁、C₃、C₅、C₇をブロックセル10の各角部の近傍にそれぞれ一つずつ設けるようにした。

【0110】これにより、ブロックセル10を配置したときに、ブロックセル10にクロック信号を分配するクロックバッファ26からクロック端子までの距離が短くなる可能性があり、クロックバッファ26とクロック端子とを接続・配線すれば、配線長をさらに小さくすることができるので、クロック信号のスキューをさらに低減することができる。

【0111】上記実施の形態において、ステップS100は、請求項8記載のクロック端子形成工程、または請求項10記載のクロック端子形成手段に対応し、ステップS102は、請求項8記載の配線工程、または請求項10記載の配線手段に対応している。

【0112】次に、本発明の第2の実施の形態を図面を参照しながら説明する。図5ないし図7は、本発明に係るブロックセル、ブロックセルの設計方法およびブロックセルの設計支援装置の第2の実施の形態を示す図である。なお、以下、上記第1の実施の形態と異なる部分についてのみ説明し、上記第1の実施の形態と重複する部分については同一の符号を付して説明を省略する。

【0113】本実施の形態は、本発明に係るブロックセル、ブロックセルの設計方法およびブロックセルの設計支援装置を、図6に示すように、クロック信号に基づいて動作するブロックセル10においてクロック端子Cをブロックセル10内でその中心近傍に設けることにより、ブロックセル10を配置したときに、ブロックセル10とクロックバッファ26との配線長を小さくし、クロック信号のスキューを低減する場合について適用したものである。

【0114】CPU30は、半導体集積回路を設計するときは、ROM32の所定領域に格納されている所定のプログラムを起動させ、そのプログラムに従って、図5のフローチャートに示す設計支援処理を実行するようになっている。図5は、設計支援処理を示すフローチャートである。

【0115】設計支援処理は、半導体集積回路のうち半導体チップを製造するために必要なチップマスクパターンデータと、半導体集積回路のうち配線パターンを形成するのに必要な配線マスクパターンデータとを生成する

処理であって、CPU30において実行されると、図5に示すように、まず、ステップS200に移行する。

【0116】ステップS200では、ブロックセル10の配置データを記憶装置42から読み出し、クロック信号を入力するためのクロック端子Cをブロックセル10内でその中心近傍に設け、ステップS202に移行して、ブロックセル10の周縁のうち異なる複数の箇所からクロック端子Cまでクロック信号線を配線するための配線領域をブロックセル10内に設けるとともに、読み出した配置データに基づいてブロックセル10内の各セルを上記配線領域以外の領域に配置する。なお、ここでの配置は、コンピュータ100上で仮想的に形成した空間において行われるものである。以下、ブロックセル10内の配線、ブロックセル10の配置・配線について同じである。

【0117】具体的に、このステップS202では、例えば、図6に示すように、ブロックセル10の辺中央I_{n1}からクロック端子Cまでクロック信号線を配線するための配線領域L_{P1}と、ブロックセル10の辺中央I_{n2}からクロック端子Cまでクロック信号線を配線するための配線領域L_{P2}と、ブロックセル10の辺中央I_{n3}からクロック端子Cまでクロック信号線を配線するための配線領域L_{P3}と、ブロックセル10の辺中央I_{n4}からクロック端子Cまでクロック信号線を配線するための配線領域L_{P4}とをブロックセル10内に設ける。また、ブロックセル10内の各セルを、ブロックセル10内において配線領域L_{P1}～L_{P4}以外の領域C_{P1}～C_{P4}に配置する。図6は、ブロックセル10の構成を示す図である。

【0118】次いで、ステップS204に移行して、読み出した配置データに基づいてブロックセル10内の各セルを配線し、この際に、クロック端子Cから入力したクロック信号に基づいてブロックセル10が動作するようにブロックセル10内を配線し、ステップS206に移行する。

【0119】ステップS206では、すべてのブロックセル10の構成が終了したか否かを判定し、すべてのブロックセル10の構成が終了したと判定されたとき(Ye)s)は、ステップS208に移行して、自動配線アルゴリズム等により、半導体チップのセル配置領域に各ブロックセル10およびクロックバッファ等を配置・配線し、ステップS210に移行する。

【0120】ステップS210では、ステップS200～S204、S208での配置・配線結果に基づいて、チップマスクパターンデータおよび配線マスクパターンデータを生成し、ステップS110に移行して、生成したチップマスクパターンデータおよび配線マスクパターンデータを記憶装置42に格納し、一連の処理を終了する。

【0121】一方、ステップS206で、すべてのプロ

ックセル10の構成が終了しないと判定されたときは、ステップS200に移行する。

【0122】次に、上記第2の実施の形態の動作を図7を参照しながら説明する。図7は、本実施の形態により設計したブロックセル10, 12を配置・配線した状態を示す平面図である。

【0123】ブロックセルを用いて半導体集積回路を設計する場合、設計者は、記憶装置42のなかから所望の機能を有するブロックセルを選択するとともに、実現しようとする半導体集積回路の機能に対応して上記選択したブロックセルについて接続関係を規定する。ここでは、図7に示すように、ブロックセルとしてブロックセル10, 12を選択するものとする。

【0124】このようにブロックセルを選択し、接続関係を規定すると、ステップS200, S202を経て、CPU30により、ブロックセル10の配置データが記憶装置42から読み出され、クロック端子Cがブロックセル10内でその中心近傍に設けられ、ブロックセル10の周縁のうち異なる複数箇所からクロック端子Cまでクロック信号線を配線するための配線領域がブロックセル10内に設けられるとともに、読み出された配置データに基づいてブロックセル10内の各セルが上記配線領域以外の領域に配置される。この配線領域の形成では、配線領域LP₁と、配線領域LP₂と、配線領域LP₃と、配線領域LP₄とがブロックセル10内に設けられる。また、ブロックセル10内における各セルの配置では、ブロックセル10内の各セルが領域CP₁～CP₄に配置される。

【0125】次いで、ステップS204を経て、読み出された配置データに基づいてブロックセル10内の各セルが配線され、この際に、クロック端子Cから入力したクロック信号に基づいてブロックセル10が動作するようブロックセル10内が配線される。

【0126】よって、これら一連の処理により、ブロックセル10が構成される。なお、これら一連の処理は、ブロックセル12についても同様に行われる。

【0127】次いで、ステップS208を経て、自動配線アルゴリズム等により、半導体チップのセル配置領域に各ブロックセル10, 12およびクロックバッファ等が配置される。

【0128】図7の例では、まず、ルートクロックバッファ20と、クロックバッファ22～26と、ブロックセル10, 12とが配置される。そして、ルートクロックバッファ20と各クロックバッファ22～26とが接続・配線され、クロックバッファ26とブロックセル10のクロック端子Cとの距離が最短となるように、ブロックセル10の配線領域LP₂を経由してクロックバッファ26とブロックセル10のクロック端子Cとが接続・配線されるとともに、クロックバッファ26とブロックセル12のクロック端子Cとの距離が最短となるよう

に、ブロックセル12の配線領域LP₁を経由してクロックバッファ26とブロックセル12のクロック端子Cとが接続・配線される。

【0129】そして、ステップS108, S110を経て、ステップS100, S102, S106での配置・配線結果に基づいて、チップマスクパターンデータおよび配線マスクパターンデータが生成され、生成されたチップマスクパターンデータおよび配線マスクパターンデータが記憶装置42に格納される。

【0130】このようにして、本実施の形態では、クロック端子Cをブロックセル10内でその中心近傍に設け、ブロックセル10の周縁のうち異なる複数箇所からクロック端子Cまでクロック信号線を配線するための配線領域LP₁～LP₄をブロックセル10内に設けるようにした。

【0131】これにより、ブロックセル10を配置したときに、ブロックセル10にクロック信号を分配するクロックバッファ26からは、クロックバッファ26とブロックセル10のクロック端子Cとの距離が最短となるように、ブロックセル10の周縁のうち配線領域の入口となる複数箇所のいずれかを経由してブロックセル10のクロック端子Cまで配線すれば、従来に比して、配線長を小さくすることができるので、余分な回路を追加することなく、クロック信号のスキーを低減することができる。

【0132】さらに、本実施の形態では、ブロックセル10の辺中央In₁からクロック端子Cまでクロック信号線を配線するための配線領域LP₁と、ブロックセル10の辺中央In₂からクロック端子Cまでクロック信号線を配線するための配線領域LP₂と、ブロックセル10の辺中央In₃からクロック端子Cまでクロック信号線を配線するための配線領域LP₃と、ブロックセル10の辺中央In₄からクロック端子Cまでクロック信号線を配線するための配線領域LP₄とをブロックセル10内に設けるようにした。

【0133】これにより、ブロックセル10を配置したときに、ブロックセル10にクロック信号を分配するクロックバッファ26からクロック端子までの距離が短くなる可能性があり、クロックバッファ26とクロック端子とを接続・配線すれば、配線長をさらに小さくすることができるので、クロック信号のスキーをさらに低減することができる。

【0134】上記実施の形態において、ステップS200は、請求項9記載のクロック端子形成工程、または請求項11記載のクロック端子形成手段に対応し、ステップS202は、請求項9記載の配線領域形成工程、または請求項11記載の配線領域形成手段に対応している。

【0135】なお、上記第1の実施の形態においては、クロック端子C₂, C₄, C₆, C₈をブロックセル10の各辺中央の近傍にそれぞれ一つずつ設けるとともに、ク

からクロック端子Cまでクロック信号線を配線するための配線領域LP₇とをブロックセル10内に設けるようになっている。

【0150】次に、図9(d)の例では、ブロックセル10の周縁の任意の位置(例えば、ブロックセル10の一つの角部I_{n₅})からクロック端子Cまでクロック信号線を配線するための配線領域LP₅と、ブロックセル10の中心位置を通る水平線に対して角部I_{n₅}と線対称の位置I_{n₆}からクロック端子Cまでクロック信号線を配線するための配線領域LP₆とをブロックセル10内に設けるようになっている。

【0151】次に、図9(e)の例では、ブロックセル10の周縁の任意の位置(例えば、ブロックセル10の一つの角部I_{n₅})からクロック端子Cまでクロック信号線を配線するための配線領域LP₅と、ブロックセル10の中心位置を通る垂直線に対して角部I_{n₅}と線対称の位置I_{n₈}からクロック端子Cまでクロック信号線を配線するための配線領域LP₈とをブロックセル10内に設けるようになっている。

【0152】次に、図9(f)の例では、ブロックセル10の周縁の点I_{n₄}とブロックセル10の周縁の点I_{n₇}との距離aと、点I_{n₄}とブロックセル10の周縁の点I_{n₆}との距離bと、点I_{n₆}と点I_{n₇}との距離cとの総和が最大となるようにそれら点の位置を決定し、点I_{n₄}からクロック端子Cまでクロック信号線を配線するための配線領域LP₄と、点I_{n₆}からクロック端子Cまでクロック信号線を配線するための配線領域LP₆と、点I_{n₇}からクロック端子Cまでクロック信号線を配線するための配線領域LP₇とをブロックセル10内に設けるようになっている。なお、ここでは、配線領域を3つ設ける場合について説明したが、これよりも多数の配線領域を設ける場合も同じ要領で行うことができる。

【0153】これにより、ブロックセル10の周縁のうち配線領域の入口となる複数の箇所が分散的に配置されるので、ブロックセル10を配置したときに、ブロックセル10にクロック信号を分配するクロックバッファ26からクロック端子までの距離が短くなる可能性があり、クロックバッファ26とクロック端子とを接続・配線すれば、配線長をさらに小さくすることができる。

【0154】また、上記第1および第2の実施の形態において、図2および図5のフローチャートに示す処理を実行するにあたってはいずれも、ROM32にあらかじめ格納されている制御プログラムを実行する場合について説明したが、これに限らず、これらの手順を示したプログラムが記憶された記憶媒体から、そのプログラムをRAM34に読み込んで実行するようにしてもよい。

【0155】ここで、記憶媒体とは、RAM、ROM等の半導体記憶媒体、FD、HD等の磁気記憶型記憶媒体、CD、CDV、LD、DVD等の光学的読み取り方式記

憶媒体、MO等の磁気記憶型／光学的読み取り方式記憶媒体であって、電子的、磁気的、光学的等の読み取り方法のいかんにかかわらず、コンピュータで読み取り可能な記憶媒体であれば、あらゆる記憶媒体を含むものである。

【0156】また、上記第1の実施の形態においては、本発明に係るブロックセル、ブロックセルの設計方法およびブロックセルの設計支援装置を、図3に示すように、クロック信号に基づいて動作するブロックセル10においてクロック端子Cをブロックセル10内でその周縁近傍に複数設けることにより、ブロックセル10を配置したときに、ブロックセル10とクロックバッファ26との配線長を小さくし、クロック信号のスキューを低減する場合について適用したが、これに限らず、本発明の主旨を逸脱しない範囲で他の場合にも適用可能である。

【0157】また、上記第2の実施の形態においては、本発明に係るブロックセル、ブロックセルの設計方法およびブロックセルの設計支援装置を、図6に示すように、クロック信号に基づいて動作するブロックセル10においてクロック端子Cをブロックセル10内でその中心近傍に設けることにより、ブロックセル10を配置したときに、ブロックセル10とクロックバッファ26との配線長を小さくし、クロック信号のスキューを低減する場合について適用したが、これに限らず、本発明の主旨を逸脱しない範囲で他の場合にも適用可能である。

【0158】

【発明の効果】以上説明したように、本発明に係る請求項1ないし7記載のブロックセルによれば、従来に比して、配線長を小さくすることができるので、余分な回路を追加することなく、クロック信号のスキューを低減することができるという効果が得られる。

【0159】さらに、本発明に係る請求項2.ないし4、6または7記載のブロックセルによれば、クロック信号のスキューをさらに低減することができるという効果も得られる。

【0160】一方、本発明に係る請求項8または9記載のブロックセルの設計方法によれば、従来に比して、配線長を小さくすることができるので、余分な回路を追加することなく、クロック信号のスキューを低減することができるという効果が得られる。

【0161】一方、本発明に係る請求項10または11記載のブロックセルの設計支援装置によれば、従来に比して、配線長を小さくすることができるので、余分な回路を追加することなく、クロック信号のスキューを低減することができるという効果が得られる。

【図面の簡単な説明】

【図1】本発明を適用するコンピュータシステムの構成を示すブロック図である。

【図2】設計支援処理を示すフローチャートである。

【図3】ブロックセル10の構成を示す図である。

ロック端子C₁, C₃, C₅, C₇をブロックセル10の各角部の近傍にそれぞれ一つずつ設けるようにしたが、これに限らず、例えば、図8に示すように、クロック端子Cを設けるようにしてもよい。図8は、本発明の他の実施の形態を示す図である。

【0136】まず、図8(a)の例では、クロック端子Cをブロックセル10の各辺に設けず、クロック端子C₁, C₃, C₅, C₇をブロックセル10の各角部の近傍にそれぞれ一つずつ設けるようになっている。

【0137】次に、図8(b)の例では、クロック端子Cをブロックセル10の各角部に設けず、クロック端子C₂, C₄, C₆, C₈をブロックセル10の各辺中央の近傍にそれぞれ一つずつ設けるようになっている。もちろん、このようにブロックセル10の各辺中央に設けるのに限らず、各辺のいずれの場所に設けても差し支えない。

【0138】次に、図8(c)の例では、クロック端子C₁をブロックセル10の周縁の任意の位置(例えば、ブロックセル10の一つの角部)に設け、クロック端子C₅を、ブロックセル10の中心位置からみてクロック端子C₁と点対称の位置に設けるようになっている。

【0139】次に、図8(d)の例では、クロック端子C₁をブロックセル10の周縁の任意の位置(例えば、ブロックセル10の一つの角部)に設け、クロック端子C₃を、ブロックセル10の中心位置Oを通る水平線に對してクロック端子C₁と線対称の位置に設けるようになっている。

【0140】次に、図8(e)の例では、クロック端子C₁をブロックセル10の周縁の任意の位置(例えば、ブロックセル10の一つの角部)に設け、クロック端子C₇を、ブロックセル10の中心位置Oを通る垂直線に對してクロック端子C₁と線対称の位置に設けるようになっている。

【0141】次に、図8(f)の例では、クロック端子C₃, C₅, C₈を設けるにあたって、クロック端子C₅とクロック端子C₈との距離aと、クロック端子C₃とクロック端子C₈との距離bと、クロック端子C₃とクロック端子C₅との距離cとの総和が最大となるように、これらクロック端子Cを設けるようになっている。なお、ここでは、クロック端子Cを3つ設ける場合について説明したが、これよりも多数のクロック端子Cを設ける場合も同じ要領で行うことができる。

【0142】これにより、各クロック端子C₃, C₅, C₈が分散的に配置されるので、ブロックセル10を配置したときに、ブロックセル10にクロック信号を分配するクロックバッファ26からクロック端子までの距離が短くなる可能性があり、クロックバッファ26とクロック端子とを接続・配線すれば、配線長をさらに小さくすることができる。

【0143】次に、図8(g)の例では、クロック端子

C₃, C₅, C₈を設けるにあたって、各クロック端子C₃, C₅, C₈から入力したクロック信号を必要とする内部セル14とクロック端子C₈との配線長l₁と、内部セル14とクロック端子C₅との配線長l₂と、内部セル14とクロック端子C₃との配線長l₃との総和が最小となるように、これらクロック端子Cを設けるようになっている。なお、ここでは、クロック端子Cを3つ設ける場合について説明したが、これよりも多数のクロック端子Cを設ける場合も同じ要領で行うことができる。

【0144】これにより、ブロックセル10を配置したときに、ブロックセル10にクロック信号を分配するクロックバッファ26に接続されるクロック端子Cから内部セル14までの距離が短くなる可能性があり、クロックバッファ26とクロック端子とを接続・配線すれば、配線長をさらに小さくすることができる。

【0145】なお、図8(g)の例は、配線長を小さくする観点から図8(f)の例と組み合わせて行うのがより好適である。

【0146】また、上記第2の実施の形態においては、ブロックセル10の辺中央I_{n1}からクロック端子Cまでクロック信号線を配線するための配線領域L_{P1}と、ブロックセル10の辺中央I_{n2}からクロック端子Cまでクロック信号線を配線するための配線領域L_{P2}と、ブロックセル10の辺中央I_{n3}からクロック端子Cまでクロック信号線を配線するための配線領域L_{P3}と、ブロックセル10の辺中央I_{n4}からクロック端子Cまでクロック信号線を配線するための配線領域L_{P4}とをブロックセル10内に設けるようにしたが、これに限らず、図9に示すように、配線領域をブロックセル10内に設けるようにしてもよい。図9は、本発明の他の実施の形態を示す図である。

【0147】まず、図9(a)の例では、ブロックセル10の各辺I_{n1}～I_{n4}からクロック端子Cまでクロック信号線を配線するための配線領域L_{P1}～L_{P4}を設けず、ブロックセル10の各角部I_{n5}～I_{n8}からクロック端子Cまでクロック信号線を配線するための配線領域L_{P5}～L_{P8}をブロックセル10内に設けるようになっている。

【0148】次に、図9(b)の例では、ブロックセル10の各辺I_{n1}～I_{n4}からクロック端子Cまでクロック信号線を配線するための配線領域L_{P1}～L_{P4}と、ブロックセル10の各角部I_{n5}～I_{n8}からクロック端子Cまでクロック信号線を配線するための配線領域L_{P5}～L_{P8}とをブロックセル10内に設けるようになっている。

【0149】次に、図9(c)の例では、ブロックセル10の周縁の任意の位置(例えば、ブロックセル10の一つの角部I_{n5})からクロック端子Cまでクロック信号線を配線するための配線領域L_{P5}と、ブロックセル10の中心位置からみて角部I_{n5}と点対称の位置I_{n7}

【図4】本実施の形態により設計したブロックセル10, 12を配置・配線した状態を示す平面図である。

【図5】設計支援処理を示すフローチャートである。

【図6】ブロックセル10の構成を示す図である。

【図7】本実施の形態により設計したブロックセル10, 12を配置・配線した状態を示す平面図である。

【図8】本発明の他の実施の形態を示す図である。

【図9】本発明の他の実施の形態を示す図である。

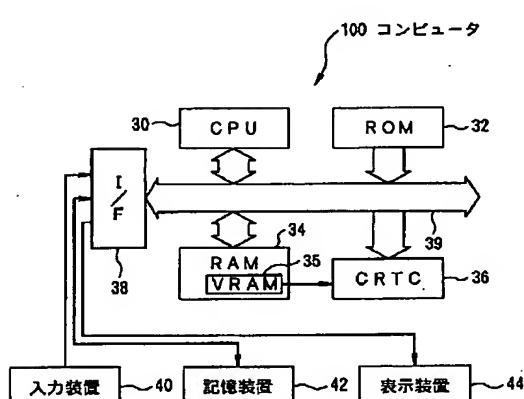
【図10】従来の設計方法により設計したブロックセル10, 12を配置・配線した状態を示す平面図である。

【符号の説明】

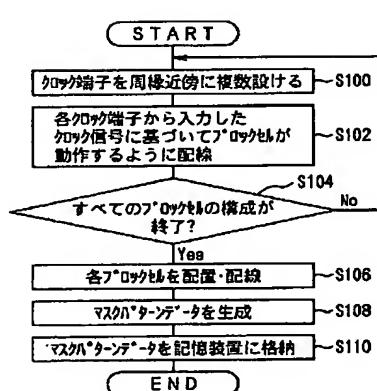
10, 12	ブロックセル
20	ルートクロックバッファ

22～26	クロックバッファ
100	コンピュータ
30	CPU
32	ROM
34	RAM
38	I/F
40	入力装置
42	記憶装置
44	表示装置
C	リセット端子
LP	配線領域
CP	セル配置領域

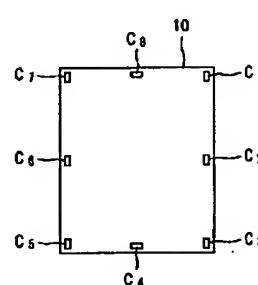
【図1】



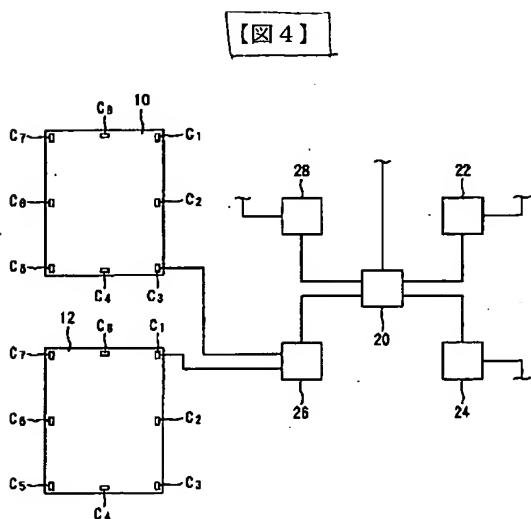
【図2】



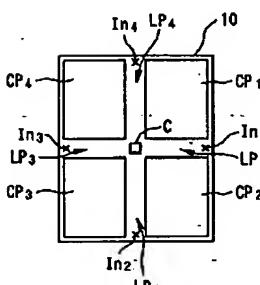
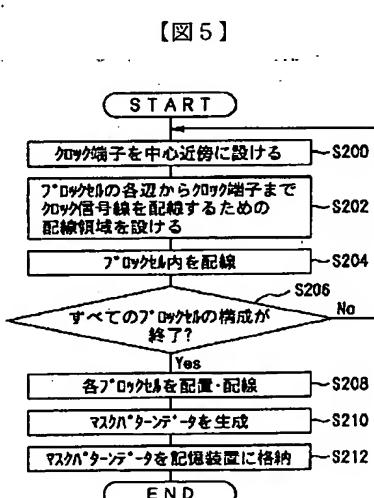
【図3】



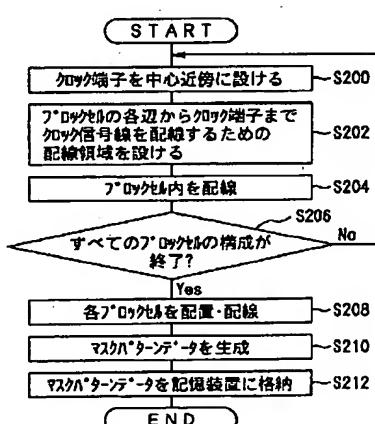
【図6】



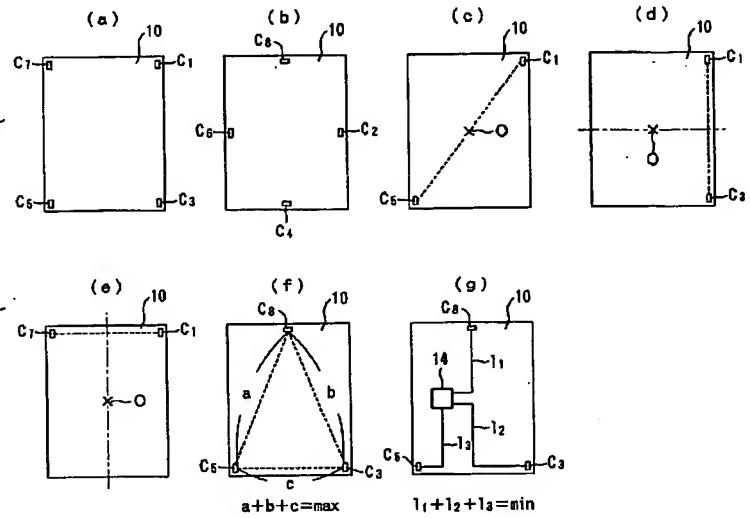
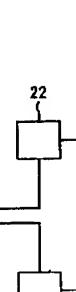
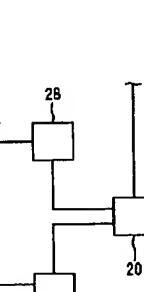
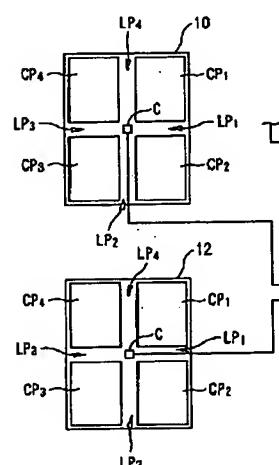
【図4】



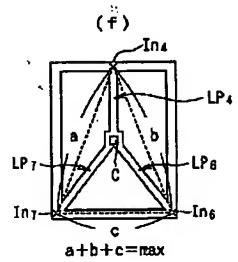
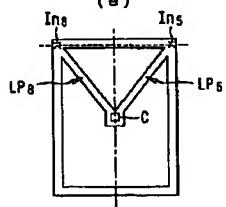
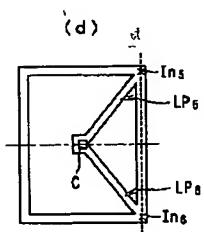
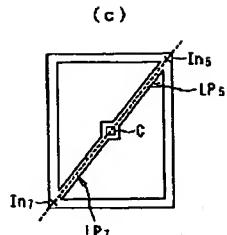
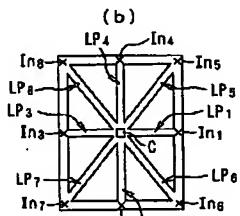
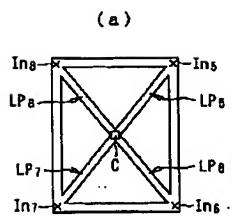
【図5】



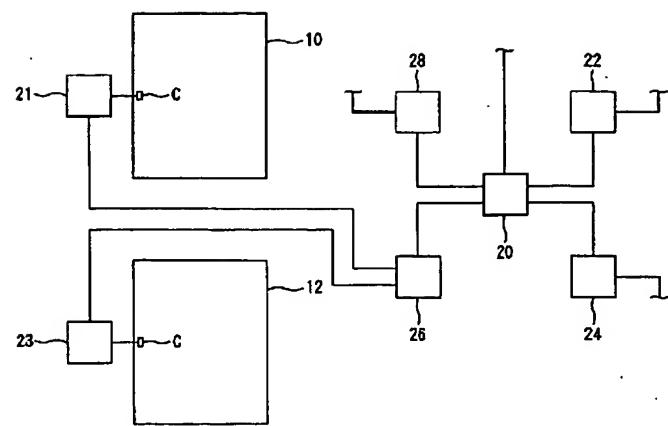
【図7】



【図9】



【図10】



THIS PAGE BLANK (USPTO)